

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月26日

出願番号

Application Number:

特願2002-185710

[ST.10/C]:

[JP2002-185710]

出願人

Applicant(s):

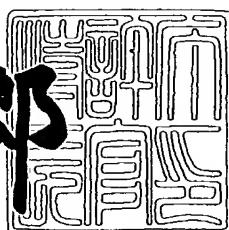
パイオニア株式会社

静岡パイオニア株式会社

2003年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3103941

【書類名】 特許願

【整理番号】 56P0689

【提出日】 平成14年 6月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 静岡パイオニア株式会社 甲府事業所内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 静岡パイオニア株式会社 甲府事業所内

【氏名】 長久保 哲朗

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪2680番地 静岡パイオニア株式会社 甲府事業所内

【氏名】 阿多 和久

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【包括委任状番号】 0106474

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動装置、表示制御装置および駆動装置

【特許請求の範囲】

【請求項1】 駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ラインを介して転送する送信部と、

前記伝送ラインを介して転送された前記駆動パルス生成制御データおよび前記クロックを受信する受信部と、

前記受信部により受信された前記駆動パルス生成制御データおよび前記クロックをシリアル／パラレル変換するシリアル／パラレル変換器と、

前記シリアル／パラレル変換器により変換された前記パルス生成制御データおよび前記クロックに基づいて、表示パネルを駆動する駆動パルスを生成する駆動パルス出力部と、

を備えたことを特徴とする表示パネル駆動装置。

【請求項2】 表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、

前記データ転送手段は、

前記表示制御部内に、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備えるとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記駆動パルス生成制御データおよび前記クロックを受信する受信部と、

前記受信部により受信された前記駆動パルス生成制御データおよび前記クロックをシリアル／パラレル変換するシリアル／パラレル変換器と、を備えることを

特徴とする表示パネル駆動装置。

【請求項3】 表示パネルの表示を制御する表示制御装置において、

請求項2に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項4】 表示パネルを駆動する駆動装置において、

請求項2に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【請求項5】 アドレスデータを記憶する記憶部、前記記憶部に記憶されたアドレスデータを読み出す読出部、およびシフトクロックを発生するシフトクロック発生部を具備する表示制御部と、

前記シフトクロックに従って前記アドレスデータを順次蓄積するシフトレジスタ、前記シフトレジスタに蓄積された前記アドレスデータをラッチするラッチ回路、および前記ラッチ回路から出力された前記アドレスデータに基づいて表示パネルを駆動する駆動回路を具備する駆動部と、

前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備える表示パネル駆動装置において、

前記データ転送手段は、

前記表示制御部内に、前記アドレスデータおよび前記シフトクロックをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、

を備えるとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記アドレスデータおよび前記シフトクロックを受信する受信部と、前記受信部により受信された前記アドレスデータおよび前記シフトクロックをシリアル／パラレル変換するシリアル／パラレル変換部と、

を備えることを特徴とする表示パネル駆動装置。

【請求項6】 表示パネルの表示を制御する表示制御装置において、

請求項5に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項7】 表示パネルを駆動する駆動装置において、

請求項5に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネルなどのマトリクス方式の表示パネルを駆動する表示パネル駆動装置等に関する。

【0002】

【従来の技術】

特開平11-95713号公報には、表示装置内においてデジタルデータである画像データ等をライン上で伝送する表示パネル駆動装置が記載されている。ここで、このデジタル信号をL V D S (Low Voltage Differential Signaling)で伝送する方式（差動シリアル伝送方式）が用いられている。L V D Sによる伝送方式は、2本の信号線を対称的に逆相で駆動し、2本の信号線の信号の差を伝送する方式であるため、外部から混入するノイズが打ち消しあって信号に影響を与えるにくい等の特長がある。

【0003】

【発明が解決しようとする課題】

しかし、特開平11-95713号公報に記載された装置では、画像データや同期信号等の制御信号のみをL V D S方式で転送しており、受信側で使用するクロック信号等は別の伝送路を介して転送している。しかし、このような構成を採用する場合には、受信側において受信される画像データ等とクロック信号との間でスキュー（タイミングずれ）が発生するおそれがある。スキューを解消するために、例えば、クロック信号の経路に遅延回路などを設けてタイミングを調整することが考えられるが、この場合にはタイミングの調整作業が煩雑となる。

【0004】

本発明は、信号間のスキューを排除することができる表示パネル駆動装置等を提供することを目的とする。

【0005】

【課題を解決するための手段】

請求項1に記載の表示パネル駆動装置は、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器（73，113）と、パラレル／シリアル変換器（73，113）により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ライン（L1，L2）を介して転送する送信部（74，114）と、伝送ライン（L1，L2）を介して転送された駆動パルス生成制御データおよびクロックを受信する受信部（81，121）と、受信部（81，121）により受信された駆動パルス生成制御データおよびクロックをシリアル／パラレル変換するシリアル／パラレル変換器（83）と、シリアル／パラレル変換器（83）により変換されたパルス生成制御データおよびクロックに基づいて、表示パネル（30）を駆動する駆動パルスを生成する駆動パルス出力部（18，19，20，21，22等）と、を備えたことを特徴とする。

【0006】

この表示パネル駆動装置によれば、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換して転送するので、駆動パルス生成制御データおよびクロックの間でスキューが発生しない。

【0007】

請求項2に記載の表示パネル駆動装置は、表示パネル（30）の表示を制御する表示制御部（100A）と、表示制御部（100A）からの信号に基づいて表示パネル（30）を駆動する駆動部（100B）と、表示制御部（100A）および駆動部（100B）の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、データ転送手段は、表示制御部（100A）内に、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器（73，113）と、パラレル／シリアル変換器（73，113）によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変

換して駆動部（100B）に向けて伝送ライン（L1, L2）を介して転送する送信部（74, 114）と、を備えるとともに、駆動部（100B）内に、伝送ライン（L1, L2）を介して転送された駆動パルス生成制御データおよびクロックを受信する受信部（81, 121）と、受信部（81, 121）により受信された駆動パルス生成制御データおよびクロックをシリアル／パラレル変換するシリアル／パラレル変換器（83, 123）と、を備えることを特徴とする。

【0008】

この表示パネル駆動装置によれば、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換して転送するので、駆動パルス生成制御データおよびクロックの間でスキューが発生しない。

【0009】

請求項5に記載の表示パネル駆動装置は、アドレスデータを記憶する記憶部（1）、記憶部（1）に記憶されたアドレスデータを読み出す読み出部（3）、およびシフトクロックを発生するシフトクロック発生部（5）を具備する表示制御部（100A）と、シフトクロックに従ってアドレスデータを順次蓄積するシフトレジスタ（15）、シフトレジスタ（15）に蓄積されたアドレスデータをラッチするラッチ回路（16）、およびラッチ回路（16）から出力されたアドレスデータに基づいて表示パネルを駆動する駆動回路（17）を具備する駆動部（100B）と、表示制御部（100A）および駆動部（100B）の間でデータ転送するデータ転送手段と、を備える表示パネル駆動装置において、データ転送手段は、表示制御部（100A）内に、アドレスデータおよびシフトクロックをパラレル／シリアル変換するパラレル／シリアル変換器（73）と、パラレル／シリアル変換器（73）によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して駆動部（100B）に向けて伝送ライン（L1）を介して転送する送信部（74）と、を備えるとともに、駆動部（100B）内に、伝送ライン（L1）を介して転送されたアドレスデータおよびシフトクロックを受信する受信部（81）と、受信部（81）により受信されたアドレスデータおよびシフトクロックをシリアル／パラレル変換するシリアル／パラレル変換部（83）と、を備えることを特徴とする。

【0010】

この表示パネル駆動装置によれば、アドレスデータおよびシフトクロックをパラレル／シリアル変換して転送するので、アドレスデータおよびシフトクロックの間でスキューが発生しない。したがって、シフトレジスタへのアドレスデータの蓄積、蓄積されたアドレスデータのラッチにタイミングのずれがなく、誤動作を生じるおそれがない。

【0011】

なお、本発明の理解を容易にするために添付図面の参照符号を括弧書きにて付記するが、それにより本発明が図示の形態に限定されるものではない。

【0012】

【発明の実施の形態】

以下、図1～図9を参照して、本発明による表示パネル駆動装置の一実施形態について説明する。図1は本実施形態の表示パネル駆動装置を示すブロック図である。

【0013】

図1に示すように、本実施形態の表示パネル駆動装置100は、表示制御部100Aと、駆動部100Bと、を伝送ラインL1およびL2により互いに接続して構成される。

【0014】

図1に示すように、表示制御部100Aは、アドレスデータを逐次記憶するフレームメモリ1と、フレームメモリ1にアドレスデータを書き込むための書込制御部2と、フレームメモリ1からアドレスデータを読み出すための読出制御部3と、装置各部を制御する制御部5と、制御部5から出力されるクロックおよび読出制御部3から出力される信号HAの論理積をとるアンド回路6と、フレームメモリ1から読み出されたアドレスデータ等の多ビットのパラレルデータをシリアル差動信号に変換するシリアルライザ7と、制御部5から出力された制御データ等の多ビットのパラレルデータをシリアル差動信号に変換するシリアルライザ11と、を備える。

【0015】

駆動部100Bは、シリアルライザ7から伝送ラインL1を介して転送されたシリアル差動信号を多ビットのパラレルデータに変換するデシリアルライザ8と、シリアルライザ11から伝送ラインL2を介して転送されたシリアル差動信号を多ビットのパラレルデータに変換するデシリアルライザ12と、1ライン分のアドレスデータを記憶するシフトレジスタ15、シフトレジスタ15に1ライン分のアドレスデータが蓄積された時点で、1ライン分のアドレスデータをラッチするラッチ回路16、および1ライン分のアドレスデータに応じて1ライン分のデータパルスを発生させ、このデータパルスをプラズマディスプレイパネル30の列電極Z1～Zmに同時に印加するアドレスドライバ17を具備するアドレスドライバ部18と、Yサステインパルスをプラズマディスプレイパネル30のサステイン電極Y1～Ynに同時に印加するサステインドライバ19と、スキャンパルスをサステイン電極Y1～Ynに順次印加するスキャンドライバ20と、Xサステインパルスをプラズマディスプレイパネル30のサステイン電極X1～Xnに同時に印加するサステインドライバ21と、リセットパルスを発生するリセットパルス発生回路20A、21A、サステインドライバ19、スキャンドライバ20およびサステインドライバ21等を制御する駆動制御部22と、を備える。

【0016】

図1に示すように、シリアルライザ7は、制御部5からのクロックを受けて送信クロックを生成するPLL部71と、フレームメモリ1から読み出されたアドレスデータ、アンド回路6から出力されたシフトクロック、および制御部5から出力されたパルス生成用制御データを制御部5からのクロックに基づいてそれぞれラッチする入力ラッチ部72と、入力ラッチ部72によりラッチされたパラレルデータをPLL部71からの、制御部5から入力されたクロックのn倍の周波数のクロックに基づいてシリアル化するパラレル／シリアル変換部73と、パラレル／シリアル変換部73から出力されたシリアルデータをツイストケーブル等からなる伝送ラインL1を介して差動シリアル送信する送信出力部74と、を備える。

【0017】

デシリアルライザ8は、伝送ラインL1を介して転送された差動シリアル信号を

受信する受信部81と、伝送ラインL1を介して転送された転送クロックを受けてクロックを生成するPLL部82と、受信部81から出力されるシリアル信号をPLL部82からの、転送クロックのn倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部83と、シリアル／パラレル変換部83から出力されたパラレルデータをPLL部82からのクロックでラッチする出力ラッチ部84と、を備える。なお、上記転送クロックおよび出力ラッチ部84に与えられるクロックは、PLL部71に入力されるクロックと同一周波数である。

【0018】

このように、本実施形態の表示パネル駆動装置100では、アドレスデータおよびシフトクロックの両者をシリライザ7により一連のシリアルデータに変換し、両者を一括して転送している。このため、アドレスデータとシフトクロックとの間でスキュー（タイミングのずれ）が発生するおそれがない。後述するようく、シフトクロックは受信側（駆動部100B側）のアドレスドライバ部18においてアドレスデータをラッチするタイミングクロック等として使用されるが、アドレスデータとシフトクロックの間でスキューを発生しないため、誤動作を発生させるおそれがない。また、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。

【0019】

図1に示すように、シリライザ11は、制御部5からのクロックを受けて送信クロックを生成するPLL部111と、制御部5から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックを、それぞれ制御部5から出力されたクロックに基づいてラッチする入力ラッチ部112と、入力ラッチ部112によりラッチされたパラレルデータを、制御部5から入力されたクロックのn倍の周波数のクロックに基づいてシリアル化するパラレル／シリアル変換部113と、パラレル／シリアル変換部113から出力されたシリアルデータをツイストケーブル等からなる伝送ラインL2を介して差動シリアル送信する送信出力部114と、を備える。

【0020】

デシリアルライザ12は、伝送ラインL2を介して転送された差動シリアル信号を受信する受信部121と、伝送ラインL2を介して転送された転送クロックを受けてクロックを生成するPLL部122と、受信部121から出力されるシリアル信号をPLL部122からの、転送クロックのn倍の周波数のクロックに基づいてパラレルデータ化するシリアル/パラレル変換部123と、シリアル/パラレル変換部123から出力されたパラレルデータをPLL部122からのクロックでラッチする出力ラッチ部124と、を備える。なお、上記転送クロックおよび出力ラッチ部124に与えられるクロックは、PLL部111に入力されるクロックと同一周波数である。

【0021】

図1に示すように、駆動制御部22には、デシリアルライザ12から出力されたクロックが与えられ、駆動制御部22はこのクロックに基づいて駆動パルスの発生タイミングを制御する。

【0022】

このように、本実施形態の表示パネル駆動装置100では、スキャンドライバ用制御データ、サステインドライバ用制御データおよびその他のパルス生成用制御データ等の制御データと、クロックとをシリアルライザ11により一連のシリアルデータに変換して転送し、両者を一括して転送している。このため、これらの制御データとクロックとの間でスキュー（タイミングのずれ）が発生するおそれがない。後述するように、転送されたクロックは、受信側（駆動部100B側）の駆動制御部22において上記制御データに基づき駆動パルスを発生する際のタイミングクロックとして使用される。しかし、本実施形態では、これらの制御データおよびクロックの間でスキューを発生しないため、誤動作を発生させるおそれがない。また、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。

【0023】

次に、パネル駆動装置100の動作について説明する。

【0024】

プラズマディスプレイパネル30を駆動する期間としての1フィールドは、複

数のサブフィールド S F 1 ~ S F N により構成される。図2に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセルを所定時間点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドである S F 1 の先頭部分には、前のフィールドでの点灯状態をリセットするためのリセット期間がさらに設けられている。このリセット期間では、すべてのセルを点灯セル（壁電荷が形成されているセル）に、または消灯セル（壁電荷が形成されていないセル）にリセットする。前者の場合には、所定のセルを消灯セルに切換える、後者の場合には、後続のアドレス期間において所定のセルを点灯セルに切換える。サステイン期間はサブフィールド S F 1 ~ S F N の順に段階的に長くされており、点灯させ続けるサブフィールドの個数を変化させることにより、所定の階調表示が可能とされている。

【0025】

図3に示す各サブフィールドのアドレス期間では、1ラインごとにアドレス走査が行われる。すなわち、第1のラインを構成する行電極 Y 1 に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第1のラインのセルに対応するアドレスデータに応じたデータパルス D P 1 が印加され、次に第2のラインを構成する行電極 Y 2 に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第2のセルに対応するアドレスデータに応じたデータパルス D P 2 が印加される。第3のライン以下についても同様に走査パルスおよびデータパルスが同時に印加される。最後に、第nのラインを構成する行電極 Y n に走査パルスが印加されると同時に、列電極 Z 1 ~ Z m に第nのラインのセルに対応するアドレスデータに応じたデータパルス D P n が印加される。上記のようにアドレス期間では、所定のセルを点灯セルから消灯セルに、または消灯セルから点灯セルに切換える。

【0026】

このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが、それぞれ点灯セルあるいは消灯セルのいずれかに設定されており、次のサステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図3に示すように、サステイン期間では行電極 X 1 ~ X n および行電極 Y 1 ~ Y n に対し、XサステインパルスおよびYサステインパルスが、それ

それ所定のタイミングで繰り返し印加される。そして、最後のサブフィールドS FNには、全セルを消灯セルに設定する消去期間が設けられている。

【0027】

次に、プラズマディスプレイパネル30の駆動に用いられる各種制御データおよびクロックの信号処理について説明する。

【0028】

図1に示すように、フレームメモリ1から読み出されたアドレスデータ、アンド回路6から出力されたシフトクロック、および制御部5から出力されたパルス生成用制御データは、制御部5からのクロックに基づいてパラレル／シリアル変換部73によりシリアル変換され、送信出力部74により差動シリアル伝送方式(LVDS伝送方式)に従った信号に変換される。このようにして得られた差動シリアル信号(LVDS信号)が、伝送ラインL1を介して高速LVDSデータ転送される。ここで、アドレスデータはR、G、Bの各セルに対するサブフィールドごとのビットデータ(シリアルデータ)であり、R、G、Bのそれぞれのシリアルデータがシフトクロックおよびパルス生成用制御データとともにシリアルライザ7にパラレルに入力される。これらのパラレルデータが、シリアルライザ7においてシリアル変換される。

【0029】

伝送ラインL1を介して転送されたシリアル信号は、デシリアルライザ8においてパラレル変換され、元のパラレル信号が復元される。

【0030】

図4はアドレスデータの書き込みとラッチャイネーブルのタイミングを示す図である。デシリアルライザ8から出力されたアドレスデータは1ライン分づつ順次シフトレジスタ15に書き込まれる。図4に示すように、1ライン分の最後のデータ(データz)を書き込むためのシフトクロックの立ち上がりと同時に、ラッチ回路16に入力されるラッチャイネーブルが立ち上がるため、1ライン分のデータ(例えば、データa～データz)がラッチされてアドレスドライバ17に同時に入力される。これにより、上記のように、アドレス期間において行電極Y1～Ynに順次走査パルスが印加されると同時に、列電極Z1～Zmに所定のアドレスデ

ータに応じたデータパルスD P 1～D P nが印加される。このラッティネーブルはシフトクロックに基づいてラッティネーブル生成部16Aにおいて生成される。

【0031】

ところで、本実施形態では、フレームメモリ1からアドレスデータを読み出している間のみ読出制御部3から信号HAを出力するようにしている。図1に示すように、この信号HAおよび制御部5から出力されるクロックをアンド回路6に入力することによって、信号HAが出力されている（「H」となっている）期間のみクロックを通過させ、シフトクロックとして出力している。すなわち、フレームメモリ1からアドレスデータが読み出されていない期間には、シフトクロックの供給を停止するようにしている。このため、図4に示すように、アドレスデータが読み出されていない期間はシフトクロックが供給されないので、この間、シフトレジスタ15のデータが更新されず、シフトレジスタ15では正規のラッティネーブルの信号が立ち上がったときの記憶状態が維持される。このため、図4に示すように、ノイズがラッティネーブルに重畠された場合でも、ノイズによりラッチされるデータが正規のアドレスデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイ30には正常なアドレスデータに従ったデータパルスが印加されることとなる。

【0032】

デシリアルライザ8から出力されたパルス生成用制御データは、アドレスドライバ17に向けて駆動パルスを出力するアドレス共振電源回路17A（図1）に設けられたスイッチのオン／オフを制御するためのデータである。アドレス共振電源回路17Aの具体例については後述する。

【0033】

一方、図1に示すように、制御部5から出力されたスキヤンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックは、制御部5からのクロックに基づいてパラレル／シリアル変換部113によりシリアル変換され、送信出力部114により差動シリアル伝送方式

(LVDS伝送方式)に従った信号に変換される。このようにして得られた差動シリアル信号(LVDS信号)が、伝送ラインL2を介して高速LVDSデータ転送される。ここで、スキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックはシリアライザ11にパラレルに入力され、これらのパラレルデータが、シリアライザ11においてシリアル変換される。

【0034】

伝送ラインL2を介して転送されたシリアル信号は、デシリアライザ12においてパラレル変換され、元のパラレル信号が復元される。

【0035】

デシリアライザ12から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ駆動制御部22に入力される。駆動制御部22では、スキャンドライバ用制御データに基づいてスキャンドライバ20に設けられたスイッチング素子をオン／オフする信号を、サステインドライバ用制御データに基づいてサステインドライバ19, 21に設けられたスイッチング素子をオン／オフする信号を、他のパルス生成用制御データに基づいてリセットパルス、消去パルス等を発生させるためのスイッチング素子をオン／オフする信号を、それぞれ生成する。

【0036】

上記のように、駆動制御部22には、デシリアライザ12から出力されたパラレル信号に含まれるクロックが与えられ、駆動制御部22はこのクロックに基づいて動作タイミングを制御する。

【0037】

次に、図5および図6を参照して、アドレス共振電源回路17Aおよびアドレスドライバ17の具体例について説明する。

【0038】

図5に示すアドレス共振電源回路17Aは、所定の振幅を有する共振パルス電源電位を発生して図1に示す電源ラインZに出力する。アドレス共振電源回路17AにおけるコンデンサC1Pは、その一端がプラズマディスプレイ30の接地

電位V_sに接地されている。スイッチング素子S1Pがオン状態の場合には、上記コンデンサC1Pの他端に生じた電位をコイルL1PおよびダイオードD1Pを介して電源ラインZに印加する。スイッチング素子S2Pがオン状態の場合には電源ラインZの電位をコイルL2PおよびダイオードD2Pを介してコンデンサC1Pの他端に印加する。この際、コンデンサC1Pは電源ラインZ上の電位によって充電される。スイッチング素子S3Pがオン状態の場合には、直流電源B1Pによる電源電位V_aを電源ラインZ上に印加する。なお、この直流電源B1Pの負側端子は、プラズマディスプレイパネル30の接地電位V_sに接地されている。

【0039】

図5に示すように、アドレスドライバ17には、デシリアルライザ8から出力された1行分(m個)の画素データビットDB1～DBmの各々に応じて、それぞれ独立してオン／オフ制御されるスイッチング素子SWZ1～SWZmおよびSWZ1o～SWZmoが設けられている。スイッチング素子SWZ1～SWZmの各々は、それぞれに供給された画素データビットDBが論理レベル“1”である場合に限りオン状態となって、電源ラインZ上に印加されている共振パルス電源電位をプラズマディスプレイパネル30の列電極Z1～Zmに印加する。一方、スイッチング素子SWZ1o～SWZmo各々は、それぞれ画素データビットDBが論理レベル“0”である場合に限りオン状態となって、列電極上の電位を接地電位V_sに接地する。

【0040】

以下に、図6を参照してアドレス共振電源回路17Aおよびアドレスドライバ17のアドレス期間における動作について説明する。

【0041】

図5に示すように、アドレス共振電源回路17Aには、制御部5から出力され転送されてきたパルス生成用制御データが入力される。このパルス生成用制御データは、スイッチング素子SW1P～SW3Pをオン／オフするためのデータである。図6に示すように、パルス生成用制御データに従ってスイッチング素子SW1P、SW3P、SW2Pが順に繰り返しオンするように各スイッチング素子

が反転を繰り返す。このような動作により、電源ラインZ上の電位が周期的に上昇する。この周期的な電位の上昇区間はスキャンドライバ20による走査タイミングに一致している。

【0042】

このとき、電源ラインZ上の電位が上昇しているタイミングにあわせて、アドレスドライバ17のスイッチング素子SWZ1～SWZmおよびSWZ10～SWZmoには、所定の列電極Z1～Zmに対応した画素データビットDBが入力される。図6では、第i列における第1行～第7行に対応した画素データビットDBのビット系列が、

[1, 0, 1, 0, 1, 0, 1]

の場合を示している。この画素データビットDBは、ラッチ回路16によりラッチされたアドレスデータに他ならない。アドレス期間では、以上のような動作を各列について順次実行することにより、各列ごとにセルを点灯セル／消灯セルに設定することができる。

【0043】

次に、図7および図8を参照して、サステインドライバ19, 21およびスキャンドライバ20等の具体例について説明する。

【0044】

サステインドライバ21は、直流の電圧VSを発生する直流電源B1、スイッチング素子S1～S4、コイルL1およびL2、ダイオードD1およびD2、コンデンサC1から構成される。スイッチング素子S1がオン状態の場合には、コンデンサC1の一端上の電位を、コイルL1およびダイオードD1を介して行電極Xiに印加する。スイッチング素子S2がオン状態の場合には、行電極Xi上の電位を、コイルL2およびダイオードD2を介してコンデンサC1の一端に印加する。スイッチング素子S3がオン状態の場合には、直流電源B1が生成する電圧VSを行電極Xiに印加する。スイッチング素子S4がオン状態の場合には、行電極Xiを接地する。

サステインドライバ21のスイッチング素子S1～S4は、制御部5から出力され転送されてきたサステインドライバ用制御データに基づいてオン／オフが制

御される。

【0045】

リセットパルス発生回路21Aは、直流の電圧VRxを発生する直流電源B2、スイッチング素子S7、抵抗R1から構成される。直流電源B2の正側端子は接地されており、その負側端子はスイッチング素子S7に接続されている。スイッチング素子S7がオン状態の場合、直流電源B2の負側端子電圧である電圧-VRを、抵抗R1を介して行電極Xiに印加する。

リセットパルス発生回路21Aのスイッチング素子S7は、制御部5から出力され転送されてきたその他のパルス生成用制御データに基づいてオン／オフが制御される。

【0046】

サステインドライバ19は、直流の電圧VSを発生する直流電源B3、スイッチング素子S11～S14、コイルL3およびL4、ダイオードD3およびD4、コンデンサC2から構成される。スイッチング素子S11がオン状態の場合、コンデンサC2の一端上の電位を、コイルL3およびダイオードD3を介してライン31上に印加する。スイッチング押しS12がオン状態の場合、ライン31上の電位を、コイルL4およびダイオードD4を介してコンデンサC2の一端に印加する。スイッチング素子S13がオン状態の場合、直流電源B3が発生した電圧VSをライン31に印加する。スイッチング素子S14がオン状態の場合、ライン31を接地する。

【0047】

サステインドライバ19のスイッチング素子S11～S14は、制御部5から出力され転送されてきたサステインドライバ用制御データに基づいてオン／オフが制御される。

【0048】

次に、リセットパルス発生回路20Aは、直流の電圧VRy（但し、 $|VRy| < |VRx|$ ）を発生する直流電源B4、スイッチング素子S15、S16、抵抗R2から構成される。直流電源B4の正側端子は接地されており、その負側端子はスイッチング素子S16に接続されている。スイッチング素子S16がオ

ン状態の場合、直流電源B4の正側端子電圧である電圧VRyを抵抗R2を介してライン32上に印加する。スイッチング素子S15がオン状態の場合には、ライン31とライン32とを接続する。

【0049】

リセットパルス発生回路20Aのスイッチング素子S15、S16は、制御部5から出力され転送されてきたその他のパルス生成用制御データに基づいてオン／オフが制御される。

【0050】

スキャンドライバ20は、行電極Y1～Ynごとに設けられており、それぞれ直流の電圧Vhを発生する直流電源B5、スイッチング素子S21、S22、ダイオードD5およびD6から構成される。スイッチング素子S21がオン状態の場合、直流電源B5の正側端子と、行電極Yと、ダイオードD6のカソード端とを共に接続する。スイッチング素子S22がオン状態のとき、直流電源B5の負側端子と、行電極Yと、ダイオードD5のアノード端とを共に接続する。

【0051】

スキャンドライバ20のスイッチング素子S21、S22は、制御部5から出力され転送されてきたスキャンパルス用制御データに基づいてオン／オフが制御される。

【0052】

図8はアドレスドライバ17、サステインドライバ19および21、スキャンドライバ20、リセットパルス発生回路20Aおよび21Aの各々から、プラスマディスプレイパネル30のアドレス電極Z1～Zm、行電極X1～XnおよびY1～Ynに印加される各種駆動パルスの印加タイミングの一例を示す図である。

【0053】

図8に示すように、リセット期間Rcではリセットパルス発生回路21Aおよび20Aが行電極X1～XnおよびY1～Ynの各々に対してリセットパルスRPX1およびRPY1を同時に印加する。これにより、すべてのセルにおいて行電極間で放電が生じて、各セルには一様の壁電荷が形成される。これによりすべ

てのセルが点灯セルに初期化される。

【0054】

アドレス期間 W_c では、アドレスドライバ17が、各行ごとの画素データパルス群を順次列電極 $Z_1 \sim Z_m$ に印加していく。この画素データパルス群は上記画素データビットDBのビット系列に対応している。このとき、スキャンドライバ20は、画素データパルス群の印加と同一タイミングで走査パルスSPを発生し、走査パルスSPを行電極 $Y_1 \sim Y_n$ へと順次印加していく。このとき、セルでは一方の行電極に走査パルスSPが印加され、且つアドレス電極に高電圧の画素データパルスが印加された場合にのみ行電極とアドレス電極との間で放電（選択消去放電）が生じ、そのセルに残存していた壁電荷が消去され、そのセルは消灯セルに移行する。その他のセルについては壁電荷が残留し、それらのセルは点灯セルのまま維持される。このようにして、アドレス期間 W_c では、すべてのセルをアドレスデータに従って点灯セルおよび消灯セルに設定する。

【0055】

次に、サステイン期間 I_c では、サステインドライバ21および19は、行電極 $X_1 \sim X_n$ および $Y_1 \sim Y_n$ に対して交互に、パルス振幅VsのサステインパルスIPXおよびIPYを印加する。このとき、アドレス期間において壁電荷が残留している点灯セルのみが繰り返して発光する。

【0056】

また、1フィールド内の最後のサブフィールド（図8では、サブフィールドSF14）には消去期間Eが設けられ、ここではアドレスドライバ17は消去パルスAPを発生して、これを列電極 $Z_1 \sim Z_m$ に印加する。一方、スキャンドライバ20は消去パルスAPと同時に消去パルスEPを発生してこれを行電極 $Y_1 \sim Y_n$ 各々に印加する。これら消去パルスAPおよびEPの同時印加により、すべてのセルで消去放電が発生し、壁電荷が消滅する。

【0057】

図9はこのような選択消去アドレス法を採用した場合に、アドレスドライバ17、サステインドライバ19および21、スキャンドライバ20、リセットパルス発生回路20Aおよび21Aからプラズマディスプレイパネル30に印加する

駆動パルスの印加タイミングおよび各スイッチ素子の切り替えタイミングを示す図である。

【0058】

図9についての詳細説明は省略するが、このように、アドレスドライバ17、サステインドライバ19および21、スキャンドライバ20、リセットパルス発生回路20Aおよび21Aに設けられた多数のスイッチング素子を制御することにより、所望の駆動パルスをプラズマディスプレイパネル30の各電極に印加することができる。

【0059】

以上説明したように、本実施形態の形態の表示パネル駆動装置100では、制御部5から出力されたクロックを用いて生成したシフトクロックを用いて、アドレスデータをシフトレジスタ15に蓄積するとともに、シフトレジスタ15に蓄積されたアドレスデータをラッチしている。しかし、表示パネル駆動装置100では、アドレスデータおよびシフトクロックの両者をシリアルライザ7により一連のシリアルデータに変換して転送しており、いわばシフトクロックもアドレスデータと同時にデータ化したうえで両者を一括して転送している。このため、アドレスデータとシフトクロックとの間でスキューが発生するおそれがない、遅延回路等のタイミング合わせのための手段を必要としない。

【0060】

また、スキャンドライバ用制御データ、サステインドライバ用制御データおよびその他のパルス生成用制御データ等の制御データと、クロックとをシリアルライザ11により一連のシリアルデータに変換して転送している。このため、これらの制御データとクロックとの間でスキューが発生するおそれがない。したがって、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。

【0061】

なお、本実施形態では、L V D Sを用いた差動シリアル伝送方式を採用しているため、ノイズの影響を受けにくく、外部に対するノイズの輻射が減少する等の利点がある。

【0062】

上記実施形態におけるアドレスデータ、パルス生成用制御データ、スキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ、各請求項に記載された「駆動パルス生成制御データ」に対応する。なお、駆動パルス生成制御データは、上記実施形態で示されたデータに限定されない。

【0063】

上記実施形態では、表示パネルとしてプラズマディスプレイパネルを例示しているが、本発明は表示パネルとして液晶表示パネル、EL表示パネル等の各種パネルに対し適用できる。

【図面の簡単な説明】

【図1】

本実施形態の表示パネル駆動装置を示すブロック図。

【図2】

1フィールドの構成を示す図。

【図3】

1サブフィールド内の駆動パルスを示す図。

【図4】

ラッティネーブルによりラッチされるアドレスデータを示す図。

【図5】

アドレス共振電源回路およびアドレスドライバの構成を示す図。

【図6】

アドレス共振電源回路およびアドレスドライバのアドレス期間における動作を示す図。

【図7】

サステインドライバおよびスキャンドライバ等の構成を示す図。

【図8】

アドレス電極および行電極に印加される各種駆動パルスの印加タイミングの一例を示す図。

【図9】

選択消去アドレス法を採用した場合における駆動パルスの印加タイミングおよび各スイッチ素子の切り替えタイミングを示す図。

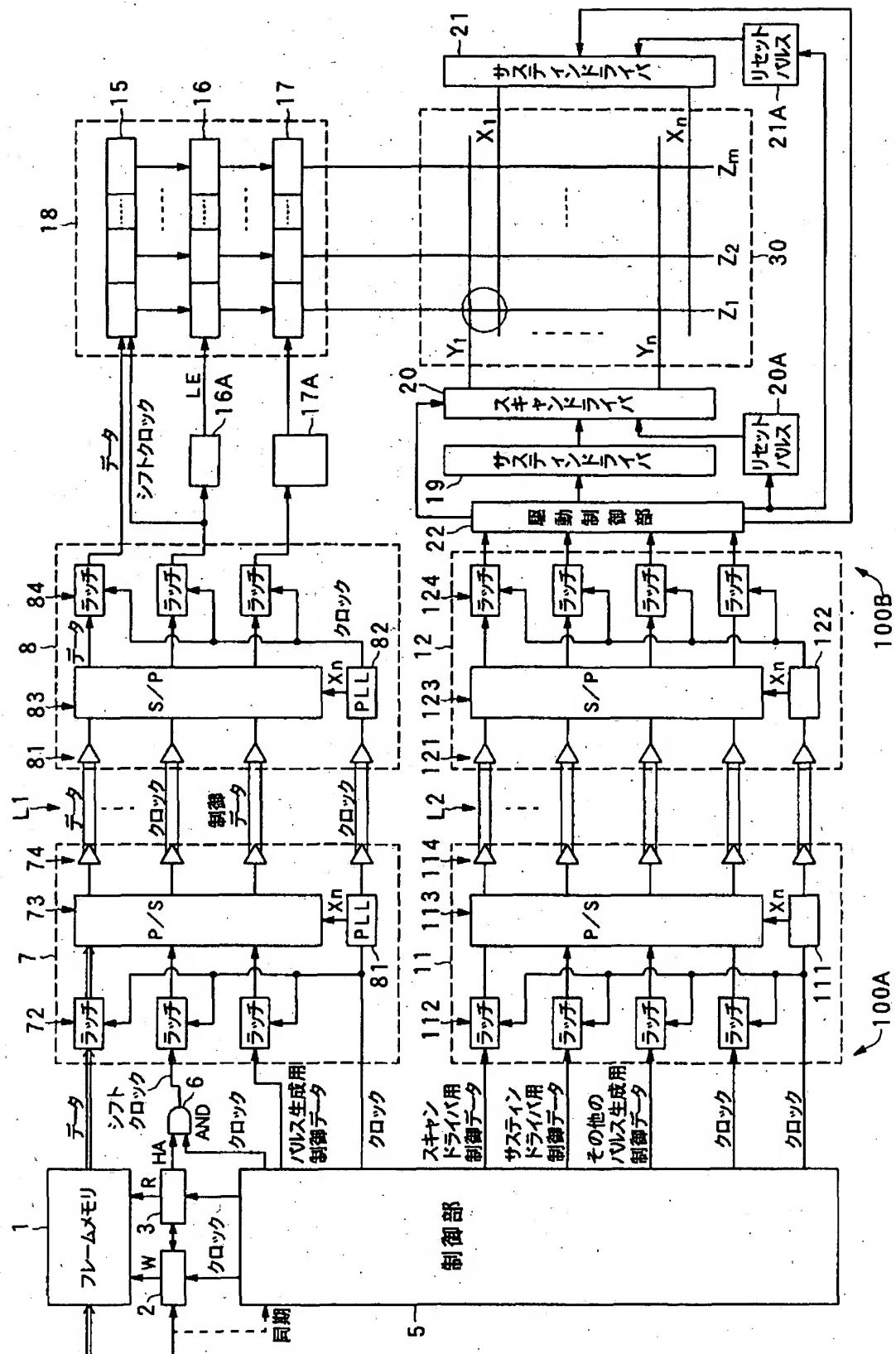
【符号の説明】

- 1 フレームメモリ（記憶部）
- 3 読出制御部（読出部）
- 5 制御部（シフトクロック発生部）
- 15 シフトレジスタ
- 16 ラッチ回路
- 17 アドレスドライバ（駆動回路）
- 18 アドレスドライバ部（駆動パルス出力部）
- 19, 21 サステインドライバ（駆動パルス出力部）
- 20 スキャンドライバ（駆動パルス出力部）
- 20A, 21A リセットパルス発生回路（駆動パルス出力部）
- 22 駆動制御部（駆動パルス出力部）
- 30 プラズマディスプレイパネル（表示パネル）
- 73, 113 パラレル／シリアル変換器
- 74, 114 送信出力部（送信部）
- 81, 121 受信部
- 83 シリアル／パラレル変換器
- 100A 表示制御部
- 100B 駆動部
- L1, L2 伝送ライン

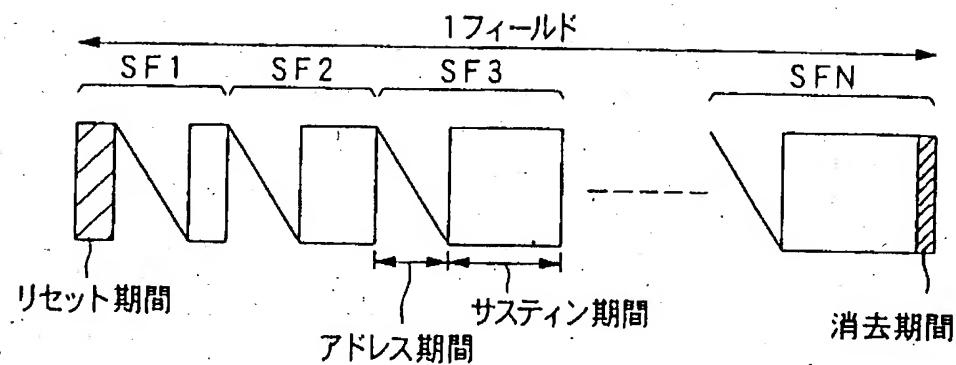
【書類名】

図面

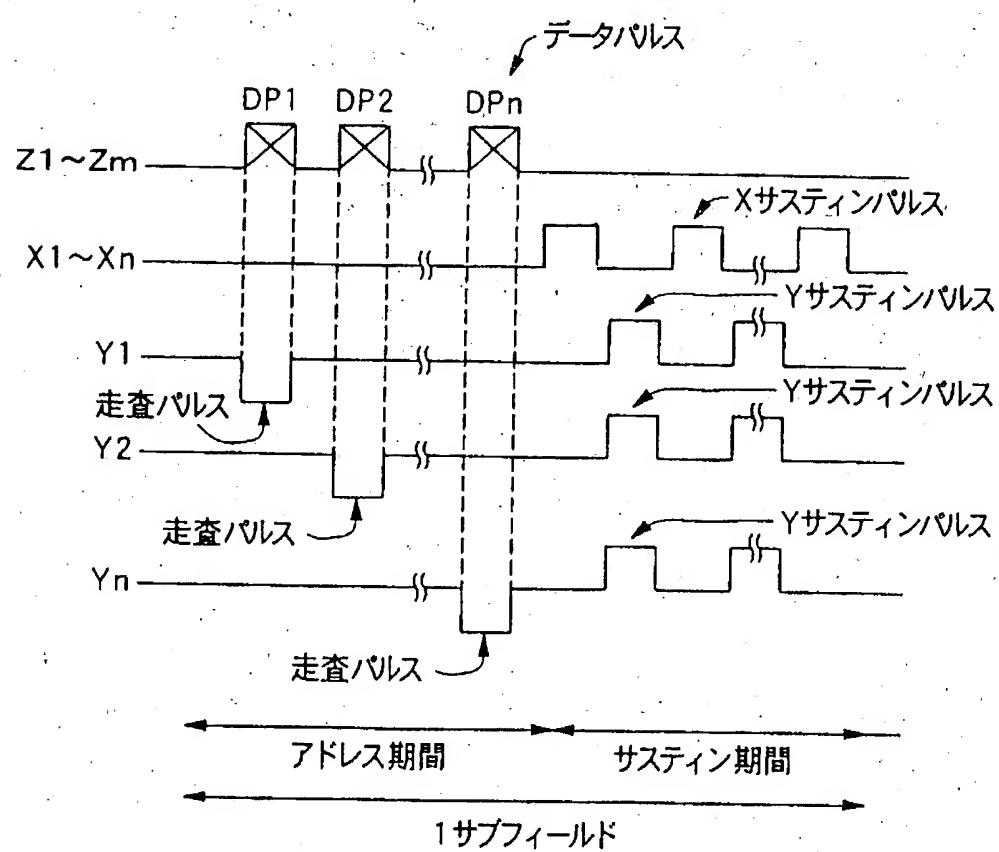
【図1】



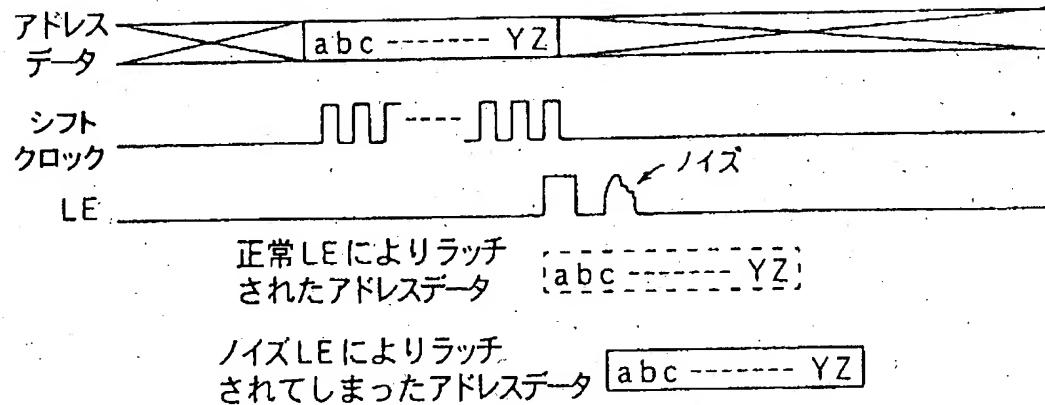
【図2】



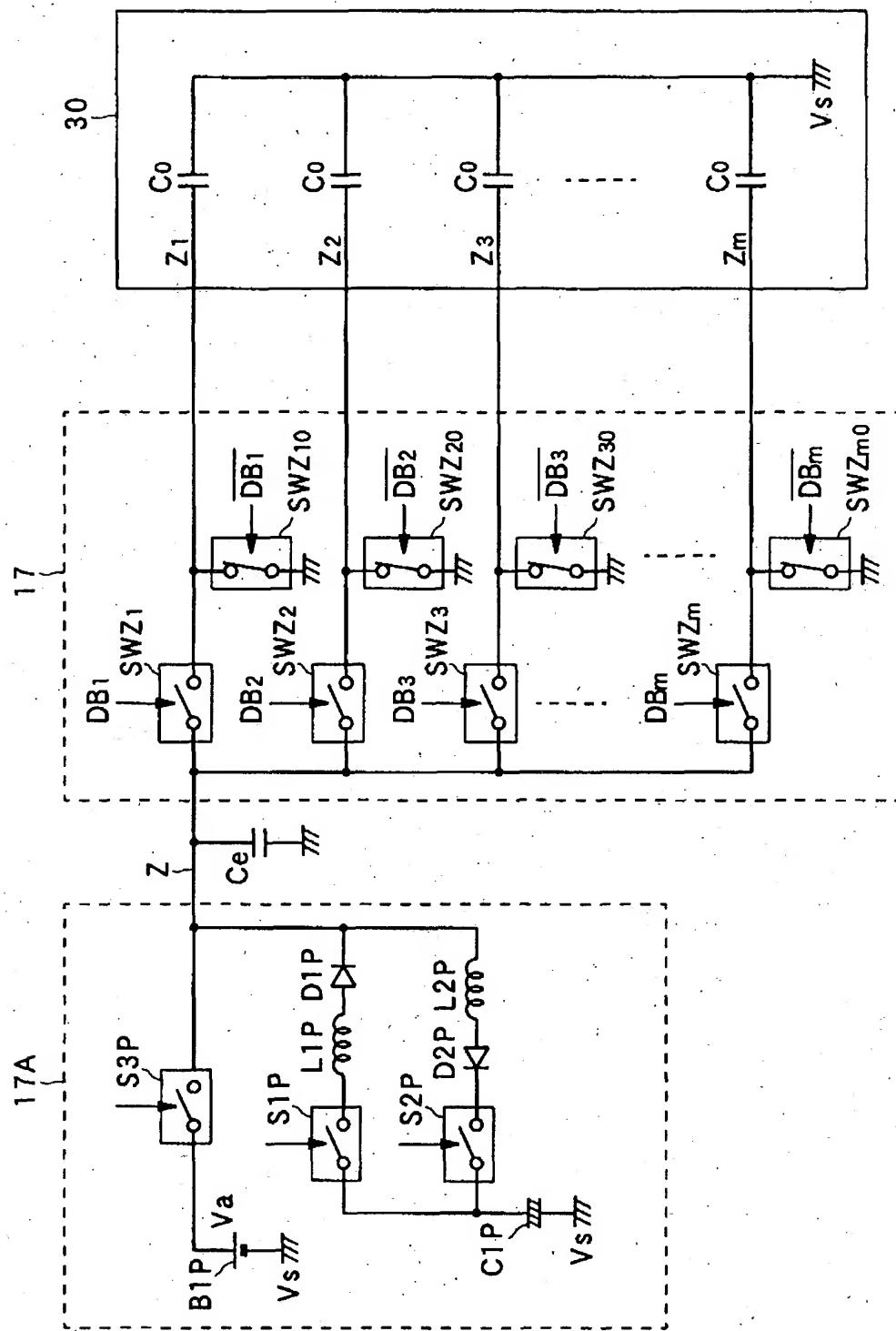
【図3】



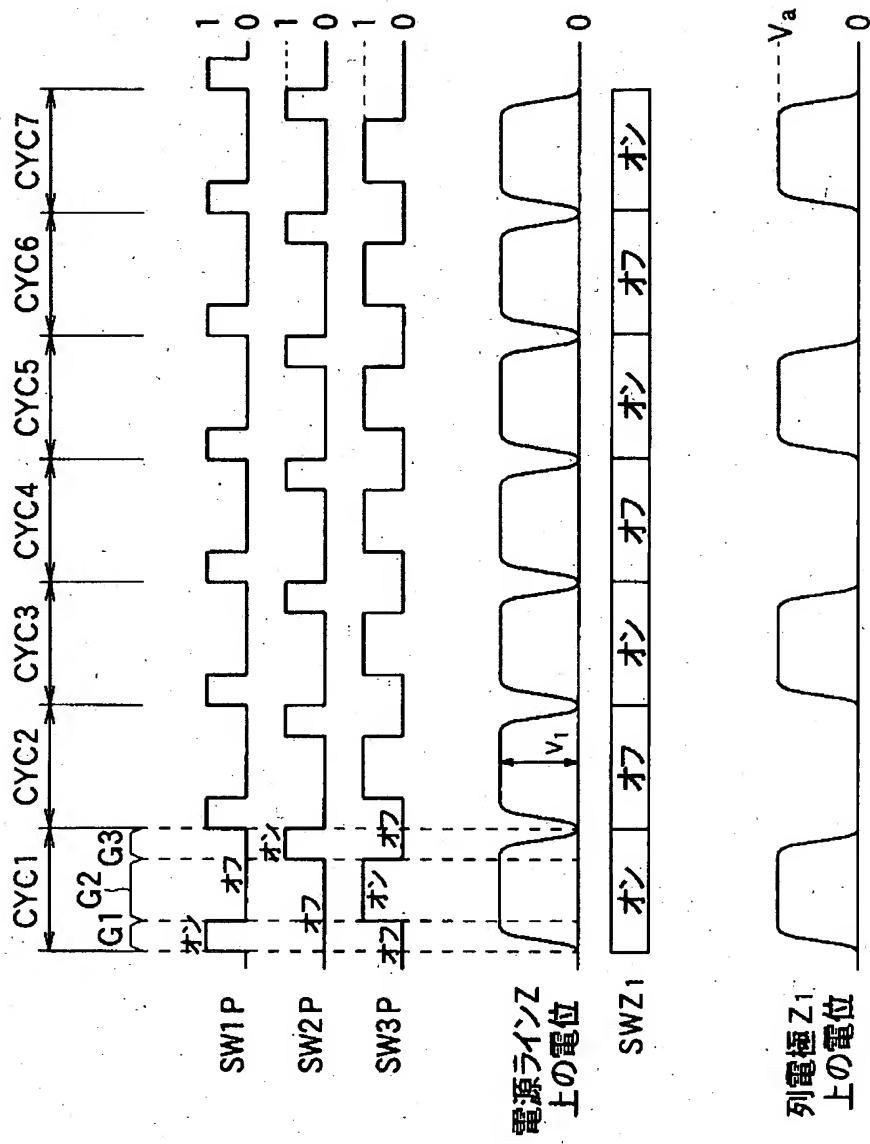
【図4】



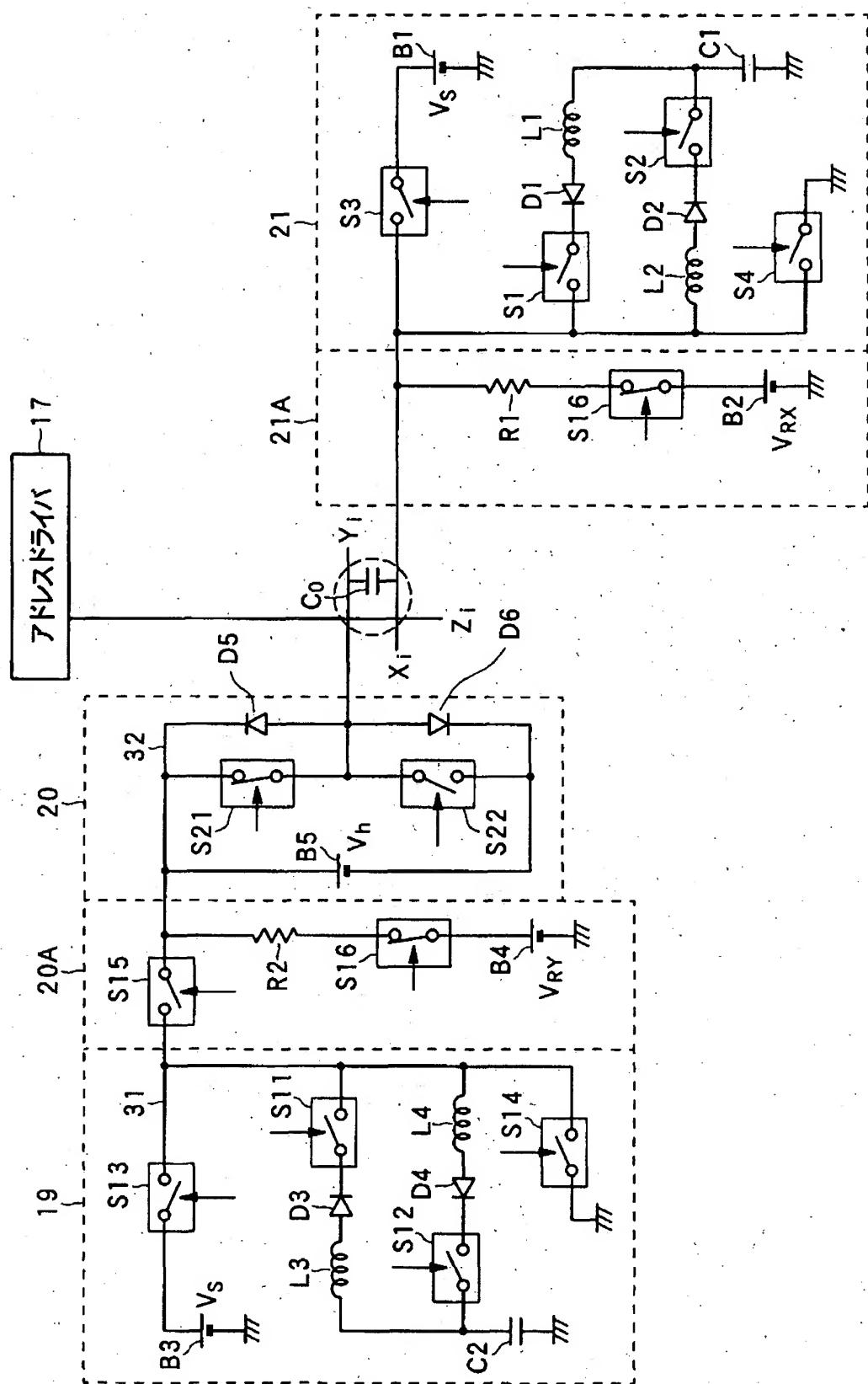
【図5】



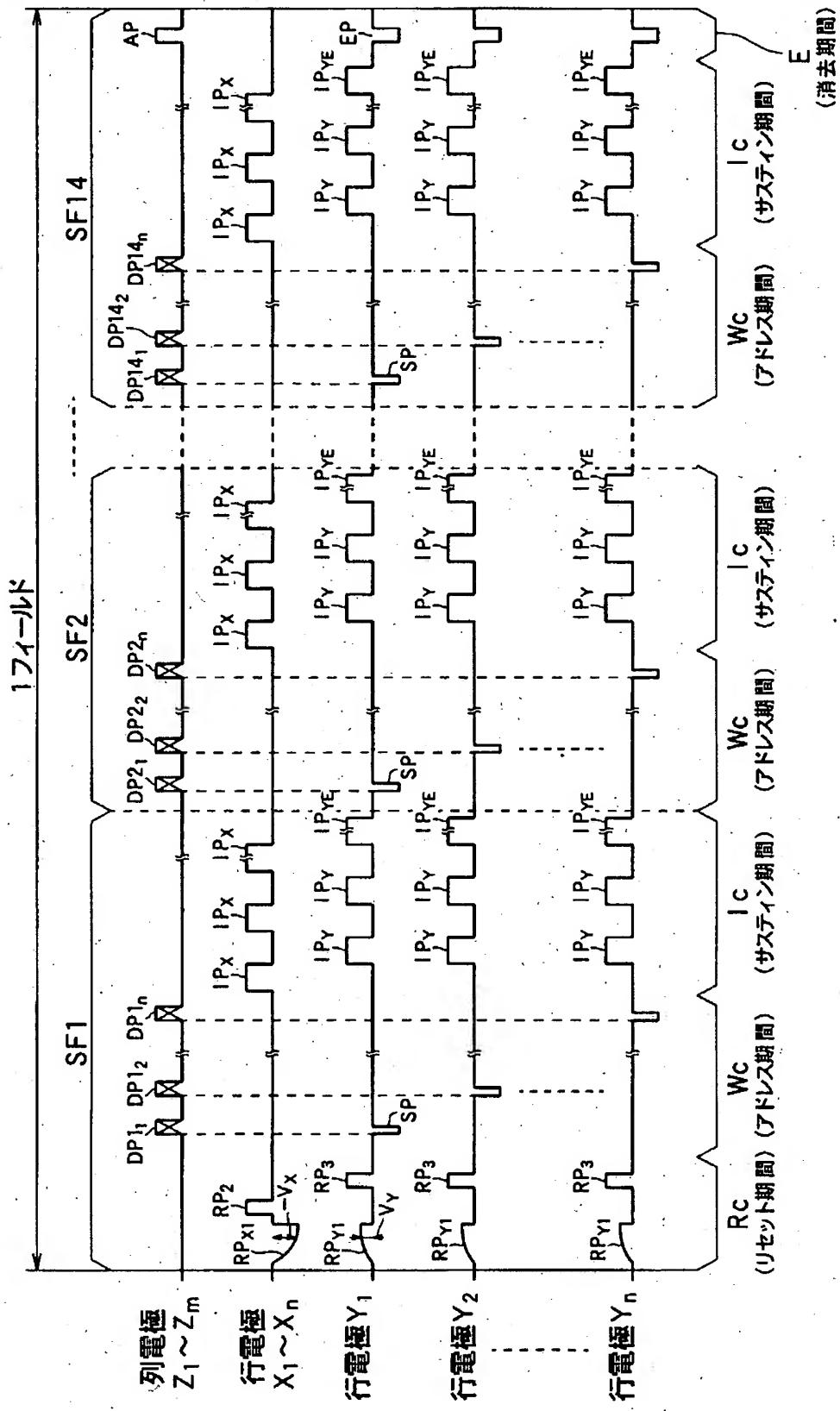
【図6】



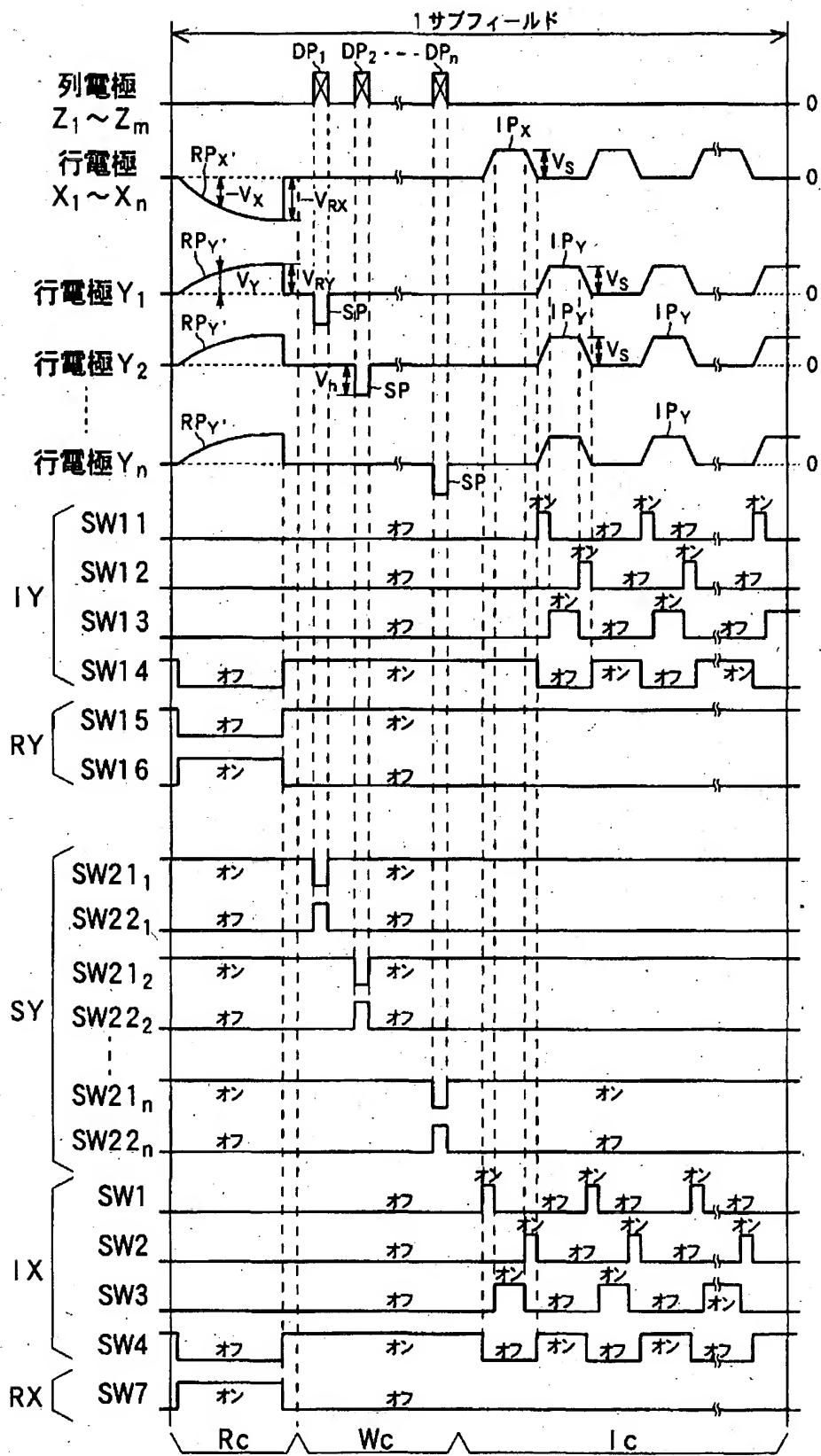
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 信号間のスキューを排除することができる表示パネル駆動装置等を提供する。

【解決手段】 駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器73，113と、パラレル／シリアル変換器73，113により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ラインL1，L2を介して転送する送信部74，114と、伝送ラインL1，L2を介して転送された駆動パルス生成制御データおよびクロックを受信する受信部81，121と、受信部81，121により受信された駆動パルス生成制御データおよびクロックをシリアル／パラレル変換するシリアル／パラレル変換器83と、を備える。駆動制御部22、アドレスドライバ部18、サステインドライバ19，21、スキャンドライバ20等はシリアル／パラレル変換器83により変換されたパルス生成制御データおよびクロックに基づいて、駆動パルスを発生させる。

【選択図】 図1

出願人履歴情報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社

出願人履歴情報

識別番号 [398050283]

1. 変更年月日 1998年 7月16日

[変更理由] 新規登録

住 所 静岡県袋井市鷺巣字西ノ谷15の1

氏 名 静岡バイオニア株式会社